

[Handwritten Signature]

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JCG78 U.S. PRO
09/995251
11/27/01

In re Patent Application of:
ROCHE ET AL.

Serial No. **Not Yet Assigned**

Filing Date: **Herewith**

For: **MICROPROCESSOR COMPRISING
INPUT MEANS IN THE TEST MODE**

I HEREBY CERTIFY THIS PAPER OR FEE IS BEING
DEPOSITED WITH THE U.S. POSTAL SERVICE
"EXPRESS MAIL POST OFFICE TO ADDRESSEE"
SERVICE UNDER 37 CFR 1.10 ON THE DATE
INDICATED BELOW AND IS ADDRESSED TO:
BOX PATENT APPLICATIONS, ASSISTANT
COMMISSIONER FOR PATENTS, P.O. BOX 2327,
ARLINGTON, VA 22202.

EXPRESS MAIL NO: EL747059688US

DATE OF DEPOSIT: November 27, 2001

NAME: Dawn Kinsler

SIGNATURE Dawn Kinsler

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Director, U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith is a certified copy of the
priority French Application No. 0015307.

Respectfully submitted,

Michael W. Taylor

MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicants

This Page Blank (uspto)



JC978 U.S. pro
09/995251



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

01 JUIN 2001

Fait à Paris, le _____

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

A handwritten signature of "Martine PLANCHE" enclosed in a stylized oval.

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIETE
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersbourg
75800 PARIS cedex 08
Téléphone : 01 53 04 53 04
Télécopie : 01 42 93 59 30
<http://www.inpi.fr>





INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11354*01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W /260899

Réervé à l'INPI

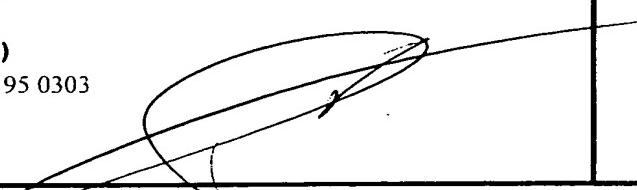
REMISE DES PIÈCES DATE 28 NOV 2000 LIEU 13 INPI MARSEILLE		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE	
N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0015307 DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 28 NOV. 2000		OMNIPAT MARCHAND André 24 Place des Martyrs de la Résistance 13100 AIX EN PROVENCE	
Vos références pour ce dossier (facultatif) 100119 FR			
Confirmation d'un dépôt par télecopie <input type="checkbox"/> N° attribué par l'INPI à la télecopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet <input checked="" type="checkbox"/>			
Demande de certificat d'utilité <input type="checkbox"/>			
Demande divisionnaire <input type="checkbox"/>			
Demande de brevet initiale ou demande de certificat d'utilité initiale		N°	Date <input type="text"/> / <input type="text"/> / <input type="text"/>
		N°	Date <input type="text"/> / <input type="text"/> / <input type="text"/>
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		N°	Date <input type="text"/> / <input type="text"/> / <input type="text"/>
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
MICROPROCESSEUR COMPRENNANT DES MOYENS D'ENTREE EN MODE TEST			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date <input type="text"/> / <input type="text"/> / <input type="text"/> N°	
		Pays ou organisation Date <input type="text"/> / <input type="text"/> / <input type="text"/> N°	
		Pays ou organisation Date <input type="text"/> / <input type="text"/> / <input type="text"/> N°	
		<input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMICROELECTRONICS	
Prénoms			
Forme juridique		SOCIETE ANONYME	
N° SIREN		3 . 4 . 1 . 4 . 5 . 9 . 3 . 8 . 6	
Code APE-NAF		3 . 2 . 1 . B	
Adresse	Rue	7, Avenue Galliéni	
	Code postal et ville	94250	GENTILLY CEDEX
Pays		FRANCE	
Nationalité		FRANCE	
N° de téléphone (facultatif)			
N° de télecopie (facultatif)			
Adresse électronique (facultatif)			

**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**

REQUÊTE EN DÉLIVRANCE 2/2

REMISE DES PIÈCES		Réervé à l'INPI
DATE	28 NOV 2000	
LIEU	13 INPI MARSEILLE	
N° D'ENREGISTREMENT		
NATIONAL ATTRIBUÉ PAR L'INPI	0015307	

DB 540 W /260899

Vos références pour ce dossier : <i>(facultatif)</i>		100119 FR
6 MANDATAIRE		
Nom		MARCHAND
Prénom		André
Cabinet ou Société		OMNIPAT
N° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	24 Place des Martyrs de la Résistance
	Code postal et ville	13100 AIX EN PROVENCE
N° de téléphone <i>(facultatif)</i>		04.42.99.06.60.
N° de télécopie <i>(facultatif)</i>		04.42.99.06.69.
Adresse électronique <i>(facultatif)</i>		
7 INVENTEUR (S)		
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requise pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requise antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence):
Si vous avez utilisé l'imprimé « Suite », indiquez le nombre de pages jointes		
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE OU DE L'INPI
MARCHAND André - CPI N° 95 0303 OMNIPAT		 

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1.../1...

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

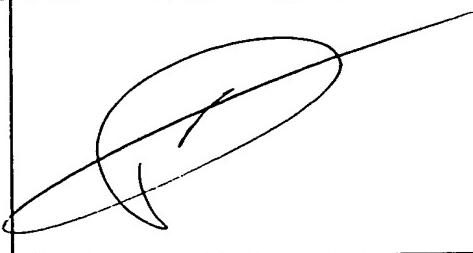
DB 113 W /260899

V s référence pour correction (facultatif) INPI MARSEILLE	100119 FR
N° D'ENREGISTREMENT NATIONAL 0015307	0015307
TITRE DE L'INVENTION (200 caractères ou espaces maximum) MICROPROCESSEUR COMPRENNANT DES MOYENS D'ENTREE EN MODE TEST	

LE(S) DEMANDEUR(S) :

MARCHAND André
OMNIPAT
24, Place des Martyrs de la Résistance
13100 AIX EN PROVENCE

DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).

Nom	ROCHE		
Prénoms	Franck		
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance (facultatif)			
Nom	NARCHE		
Prénoms	Pascal		
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance (facultatif)			
Nom	RUAT		
Prénoms	Ludovic		
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Aix en Provence, le 27 novembre 2000 MARCHAND André - CPI N° 95 0303 OMNIPAT			

MICROPROCESSEUR COMPRENANT DES MOYENS D'ENTREE EN MODE
TEST

La présente invention concerne les microprocesseurs et plus particulièrement le contrôle du basculement d'un microprocesseur dans un mode de fonctionnement déterminé.

La figure 1 représente schématiquement un 5 microprocesseur MP équipé d'un dispositif classique permettant de faire basculer le microprocesseur dans un mode de fonctionnement déterminé. Ce dispositif comprend un compteur CNTR dont la sortie est appliquée à l'unité centrale CPU du microprocesseur par l'intermédiaire d'un 10 décodeur DEC. Le compteur CNTR présente une entrée E1 de comptage, une entrée E2 de remise à zéro et une entrée E3 de validation et de verrouillage de la sortie du compteur. L'entrée E1 est reliée à une borne P1 du microprocesseur et les entrées E2 et E3 reçoivent le 15 signal de remise à zéro du microprocesseur, ou signal RESET. Par convention, la valeur active du signal RESET est considérée dans ce qui suit comme étant la valeur "0". Le compteur CNTR est inhibé et maintenu à zéro quand le signal RESET est à 1, et est actif quand le signal 20 RESET présente la valeur active, ici 0.

Comme cela est bien connu de l'homme de l'art, le démarrage d'un tel microprocesseur MP commence par une séquence d'initialisation dont la durée correspond à un nombre déterminé de cycles d'horloge, pendant laquelle le 25 signal RESET est mis à 0 (valeur active). La mise à 0 temporaire du signal RESET a pour effet d'activer le compteur CNTR, de sorte qu'un signal MS de sélection de mode, constitué par une suite d'impulsions, peut être

appliqué sur l'entrée de comptage E1 par l'intermédiaire de la borne P1. Lorsque le signal RESET repasse à 1, le front montant du signal RESET sur l'entrée E3 du compteur active des verrous de sortie du compteur (non représentés), de sorte que le compteur délivre un nombre N représentatif du nombre d'impulsions appliquées sur son entrée E1 pendant que le signal RESET était à 0.

Le nombre N est reçu par l'entrée du décodeur DEC qui délivre alors deux bits de mode M0 et M1 à l'unité centrale CPU du microprocesseur, un seul de ces deux bits étant à 1 selon la valeur de N. Le bit M1 est par exemple égal à 1 lorsque N est compris entre des valeurs N1 et N2, et le bit M0 est à 1 lorsque N n'est pas compris entre ces deux valeurs N1 et N2, qui définissent ainsi une fenêtre de sélection du mode M1.

Le mode M0 (bit M0 à 1) ou mode par défaut du microprocesseur est généralement le mode utilisateur, c'est-à-dire le mode de fonctionnement normal du microprocesseur dans l'application pour laquelle il a été programmé. Ainsi, lorsque aucune impulsion n'est appliquée sur la borne P1 pendant la période d'initialisation, le microprocesseur démarre toujours en mode utilisateur, ce qui signifie qu'il va lire la première instruction d'un programme application agencé dans sa mémoire programme principale, par exemple une mémoire FLASH (non représentée).

Le mode M1 (bit M1 à 1) est généralement un mode de test ou de maintenance dans lequel le compteur ordinal PC ("Program Counter") de l'unité CPU est aiguillé sur une adresse déterminée correspondant à la première instruction d'un programme de test. Un tel programme de test est généralement prévu par le constructeur et est préenregistré dans une mémoire particulière, par exemple une mémoire ROM. Ce programme "de test" peut aussi être un programme de chargement en mémoire d'un programme de test, pour une plus grande flexibilité du mode test.

En pratique, le mode test est réservé à la maintenance du microprocesseur ou au test du microprocesseur avant sa première mise en service. Lorsque le microprocesseur est agencé sur une carte à circuit imprimé et est connecté à divers éléments périphériques, l'utilisateur doit faire en sorte que l'environnement du microprocesseur n'applique jamais une suite d'impulsions sur la borne P1 pendant la période d'initialisation. Ainsi, pour faire basculer le microprocesseur en mode test, il est généralement nécessaire d'accéder à la borne P1 au moyen d'un outillage externe, par exemple une pince conductrice, pour appliquer les impulsions du signal de sélection de mode MS.

Il est en effet essentiel de s'assurer que le microprocesseur ne va pas basculer en mode test de façon involontaire, car dans ce cas le microprocesseur n'exécuterait pas le programme application et ne fonctionnerait plus comme il le devrait. Un démarrage involontaire en mode test risquerait notamment d'entraîner des aberrations de fonctionnement dans un système contrôlé par le microprocesseur, pouvant entraîner de graves désagréments aux utilisateurs. A cet effet, les nombres N1 et N2 sont choisis assez proches pour définir une fenêtre de sélection étroite, comprise par exemple entre 33 et 38 impulsions, et peuvent même être choisis égaux pour une sécurité maximale.

Malgré ces précautions, l'expérience montre qu'un microprocesseur équipé d'un dispositif du type décrit ci-dessus peut basculer accidentellement en mode test, notamment lorsque le microprocesseur et la carte à circuit imprimé sur laquelle il est agencé se trouvent dans un environnement électromagnétique très bruité susceptible de générer des signaux parasites sur l'entrée de comptage E1.

Un tel dispositif de sélection du mode de fonctionnement d'un microprocesseur présente toutefois

l'avantage d'être simple à mettre en œuvre en ce qu'il ne nécessite que la prévision d'un compteur et d'un décodeur de faible prix de revient et de faible encombrement.

Ainsi, un objectif de la présente invention est de trouver une solution pour améliorer la sécurité du basculement d'un microprocesseur dans un mode de fonctionnement spécifique, tout en utilisant un dispositif de comptage du type décrit ci-dessus.

Cet objectif est atteint par la prévision d'un microprocesseur comprenant des moyens de sélection d'un mode de fonctionnement du microprocesseur, les moyens de sélection comprenant un compteur présentant une entrée de comptage et une entrée de remise à zéro, et des moyens pour relier l'entrée de comptage à une première borne du microprocesseur, dans lequel les moyens de sélection comprennent en outre des moyens pour relier l'entrée de remise à zéro du compteur à une deuxième borne du microprocesseur, et des moyens internes ou externes au microprocesseur, pour maintenir par défaut l'entrée de remise à zéro du compteur à une première valeur logique assurant le maintien à zéro du compteur en l'absence d'un signal de contrôle susceptible d'être appliqué sur la deuxième borne pour activer le compteur.

Selon un mode de réalisation, les moyens pour relier l'entrée de remise à zéro du compteur à la deuxième borne du microprocesseur comprennent un circuit logique comportant une sortie reliée à l'entrée de remise à zéro, une première entrée reliée à la deuxième borne du microprocesseur, et une deuxième entrée recevant un signal assurant l'inhibition de la sortie du circuit logique relativement à sa première entrée en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.

Selon un mode de réalisation, le signal d'inhibition du circuit logique est un signal de remise à zéro du microprocesseur.

Selon un mode de réalisation, le circuit logique comprend une porte ET ayant une première entrée connectée à la deuxième borne et une deuxième entrée connectée à la sortie d'une porte inverseuse recevant en entrée le signal de remise à zéro du microprocesseur.

Selon un mode de réalisation, les moyens pour maintenir par défaut l'entrée de remise à zéro du compteur à une première valeur logique comprennent une résistance de polarisation.

Selon un mode de réalisation, la sortie du compteur est appliquée à une unité centrale du microprocesseur par l'intermédiaire d'un décodeur délivrant à l'unité centrale des bits de mode dont la valeur est fonction d'un résultat de comptage délivré par le microprocesseur.

Selon un mode de réalisation, les moyens pour relier l'entrée de comptage du compteur à une première borne du microprocesseur comprennent un circuit logique comportant une sortie reliée à l'entrée de comptage, une première entrée reliée à la première borne du microprocesseur, et une deuxième entrée recevant un signal assurant l'inhibition de la sortie du circuit logique relativement à sa première entrée en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.

Selon un mode de réalisation, le mode de fonctionnement est un mode de test ou de maintenance nécessitant l'application d'un nombre déterminé d'impulsions électriques sur l'entrée de comptage du compteur pendant une période de sélection du mode de fonctionnement du microprocesseur.

Selon un mode de réalisation, la première et la deuxième borne sont des ports d'entrée/sortie du microprocesseur utilisables en tant que tels en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.

La présente invention concerne également un procédé de sélection d'un mode de fonctionnement d'un

microprocesseur, au moyen d'un compteur ayant une entrée de comptage et une entrée de remise à zéro, comprenant une étape consistant à appliquer un nombre déterminé d'impulsions sur l'entrée de comptage par l'intermédiaire
5 d'une première borne du microprocesseur, et les étapes consistant à : prévoir des moyens pour relier l'entrée de remise à zéro du compteur à une deuxième borne du microprocesseur, piloter l'entrée de remise à zéro du compteur au moyen d'un signal de contrôle appliqué sur la
10 deuxième borne du microprocesseur, de manière à activer le compteur, et prévoir des moyens internes ou externes au microprocesseur, pour maintenir par défaut l'entrée de remise à zéro du compteur à une première valeur logique assurant le maintien à zéro du compteur en l'absence du
15 signal de contrôle.

Selon un mode de réalisation, le procédé comprend une étape consistant à prévoir un premier circuit logique comportant une sortie reliée à l'entrée de remise à zéro du compteur, une première entrée reliée à la deuxième borne du microprocesseur, et une deuxième entrée recevant un signal assurant l'inhibition de la sortie du circuit logique relativement à sa première entrée en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.
25

Selon un mode de réalisation, le procédé comprend une étape consistant à prévoir un second circuit logique comportant une sortie reliée à l'entrée de comptage du compteur, une première entrée reliée à la première borne du microprocesseur, et une deuxième entrée recevant un signal assurant l'inhibition de la sortie du circuit logique relativement à sa première entrée en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.
30

Selon un mode de réalisation, le signal d'inhibition est un signal de remise à zéro du microprocesseur.
35

Selon un mode de réalisation, le mode de fonctionnement est un mode de test ou de maintenance sélectionné en appliquant un nombre déterminé d'impulsions électriques sur l'entrée de comptage du 5 compteur pendant qu'un signal de remise à zéro du microprocesseur présente une valeur active.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un exemple de 10 réalisation d'un dispositif selon l'invention, faite à titre non limitatif en relation avec les figures jointes 15 parmi lesquelles :

- la figure 1 précédemment décrite représente schématiquement un microprocesseur comprenant un dispositif classique de sélection du mode de fonctionnement du microprocesseur,
- la figure 2 représente schématiquement un microprocesseur comprenant un dispositif selon l'invention de sélection du mode de fonctionnement du 20 microprocesseur, et
- les figures 3A, 3B et 3C représentent des signaux électriques qui illustrent le fonctionnement du dispositif de sélection selon l'invention.

La figure 2 représente schématiquement un 25 microprocesseur MP1, équipé d'un dispositif selon l'invention assurant la sélection du mode de fonctionnement du microprocesseur par comptage d'impulsions, selon un principe déjà décrit au préambule. Le dispositif comprend ainsi un compteur CNTR dont la 30 sortie est appliquée à l'unité centrale CPU du microprocesseur par l'intermédiaire d'un décodeur DEC qui délivre des bits de mode M0 et M1. Le compteur CNTR présente une entrée de comptage E1 et une entrée E2 de remise à zéro, l'entrée E1 étant reliée à une borne P1 du 35 microprocesseur pour recevoir un signal de sélection de mode MS constitué par une suite d'impulsions électriques. Le signal RESET est délivré classiquement par un

générateur interne RGEN assurant la remise à zéro du microprocesseur à sa mise sous tension, mais peut également être forcé à 0 par l'intermédiaire d'une borne RSTP du microprocesseur, par exemple lorsqu'une remise à zéro est souhaitée pendant l'exécution d'un programme. Comme précédemment, la période d'initialisation du microprocesseur est la période pendant laquelle le signal RESET est porté à sa valeur active, ici la valeur "0".

Selon l'invention, l'entrée E2 du compteur est pilotée par la sortie d'un circuit logique ayant une première entrée connectée à une borne P2 du microprocesseur et une seconde entrée recevant le signal RESET. Ce circuit logique comprend ici une porte A1 de type ET ayant une première entrée connectée à la borne P2 et une seconde entrée connectée à la sortie d'une porte inverseuse I1 recevant en entrée le signal RESET. Ainsi, pendant la période d'initialisation du microprocesseur où le signal RESET est à "0", l'entrée E2 du compteur peut être pilotée au moyen d'un signal de contrôle CS appliqué sur la borne P2, car la porte A1 reçoit un "1" sur son entrée connectée à la sortie de la porte I1 et est ainsi transparente relativement au signal CS.

Selon l'invention toujours, le signal de contrôle CS présent sur la borne P2 est maintenu par défaut à une valeur logique qui assure l'inhibition du compteur CNTR lorsque le signal RESET est à 0. La valeur par défaut du signal CS, ici la valeur "1", est imposée ici par une résistance R1 de polarisation à l'état haut (résistance "pull-up") dont une extrémité reçoit la tension d'alimentation Vcc du microprocesseur et dont l'autre entrée est connectée à la borne P2. La résistance R1 est de préférence une résistance interne au microprocesseur, mais peut également être prévue sur une ligne externe connectée à la borne P2.

Dans une variante de réalisation conduisant à un résultat similaire, la résistance R1 peut être connectée directement à la sortie de la porte A1 et à l'entrée E2

du compteur. Toutefois, le fait de laisser le signal CS dans un état flottant peut entraîner des commutations indésirables de la porte A1. Une autre variante consiste à prévoir la résistance R1 sur une ligne conductrice externe connectée à la borne P2.

De façon optionnelle mais avantageuse, la première borne P1 du microprocesseur, qui reçoit le signal de sélection MS, est reliée à l'entrée de comptage E1 par l'intermédiaire d'un circuit logique assurant l'isolement de l'entrée E1 vis-à-vis de la borne P1 en dehors des périodes d'initialisation. Ce circuit logique comprend par exemple une porte A2 de type ET, ayant une première entrée connectée à la borne P1 et une deuxième entrée connectée à la sortie d'une porte inverseuse I2 recevant en entrée le signal RESET. La porte A2 empêche l'application du signal MS sur l'entrée E1 lorsque le signal RESET est à 1.

Le tableau 1 ci-après décrit, en relation avec les figures 3A, 3B, 3C, les opérations à effectuer pour assurer l'entrée du microprocesseur dans un mode de fonctionnement particulier, par exemple un mode test, pendant la période d'initialisation du microprocesseur. La figure 3A représente le signal RESET, la figure 3B représente le signal de contrôle CS, et la figure 3C représente les impulsions constituant le signal MS.

Au cours d'une première phase PH1 de la période d'initialisation, le signal RESET est à 0 et la porte A1 reçoit ainsi un "1" sur son entrée connectée à la porte inverseuse I1. La porte A1 est ainsi transparente vis-à-vis du signal CS, qui est maintenu à 1 par la résistance R1. Ainsi, le signal RSTC est à 1 à la sortie de la porte A1, le compteur est inactif et maintenu à zéro.

Au cours d'une deuxième phase PH2 de la période d'initialisation, le signal CS est forcé à 0 (fig. 3B) par une intervention volontaire sur la borne P2, faite par exemple au moyen d'un outil approprié (pince ou pointe conductrice) si le microprocesseur est agencé sur

une carte à circuit imprimé prévue pour une application déterminée. Lorsque le signal CS est forcé à 0, le signal RSTC passe à 0 à la sortie de la porte A1 et le compteur CNTR est activé. Une série d'impulsions comprenant entre 5 N1 et N2 impulsions peut alors être appliquée sur la borne P1 (signal MS, fig. 3C).

Tableau 1

RESET	CS	RST C	Phase
0	1	1	PH1 : compteur inactif et maintenu à zéro
0	0	0	PH2 : compteur actif (période de comptage)
1	X (1 ou 0)	0	PH3 : la sortie du compteur est verrouillée car l'entrée de comptage E1 est isolée de la borne P1 par le circuit logique A2/I2 - L'entrée E2 du compteur est inhibée par le signal RESET (sortie du circuit A1 à 1)

10 Au cours d'une troisième phase PH3, le signal RESET passe à 1 et la période d'initialisation est terminée. Le passage à 1 du signal RESET inhibe le comptage car la porte A2 n'est plus transparente, sa sortie étant forcée à 0. Le nombre N présent à la sortie du compteur, 15 correspondant au nombre d'impulsions reçues sur l'entrée E1, est transformé par le décodeur DEC en un bit de mode M0 ou M1. Le passage à 1 du signal RESET force également à 0 le signal RSTC à la sortie de la porte A1, de sorte que le signal de contrôle CS n'a plus d'influence sur le 20 compteur et peut être relâché quelques cycles d'horloge après la fin de la période d'initialisation.

De façon en soi classique, le décodeur DEC met à "1" le bit de mode M1 si le nombre N est compris entre N1 et N2, par exemple entre 33 et 38 impulsions, de sorte

que l'unité centrale CPU exécute un programme de test se trouvant à une adresse particulière de la mémoire du microprocesseur. Dans le cas contraire, le bit de mode M0 est mis à 1 (mode utilisateur) et le bit de mode M1 reste 5 à 0.

Comme cela apparaîtra clairement à l'homme de l'art, le microprocesseur MP1 présente une excellente immunité contre un basculement involontaire dans le mode test M1 en présence de perturbations électromagnétiques. 10 En effet, le basculement en mode test est ici soumis à deux conditions :

- une condition classique liée au nombre d'impulsions appliquées sur la borne P1,
- une condition supplémentaire tenant à la nécessité de 15 forcer à zéro le signal CS sur la borne P2 pour que le compteur soit activé.

Ainsi, en supposant que des parasites électromagnétiques génèrent N impulsions électriques sur la borne P1 pendant la période d'initialisation du 20 microprocesseur, et en admettant également que N soit compris entre N1 et N2, le basculement en mode test ne pourra se produire que si la borne P2 est en outre forcée à 0 pendant l'apparition des N impulsions parasites. Or, la probabilité qu'une telle combinaison de signaux se 25 produise de façon involontaire peut être considérée comme quasiment nulle, car il est peu probable qu'un phénomène perturbateur puisse maintenir de façon stable le signal CS à 0 tout en générant N impulsions sur l'entrée E1. En réalité, il suffit que l'influence du phénomène 30 perturbateur cesse un court instant pour que le signal CS repasse à 1 grâce à la résistance de polarisation R1 et que le compteur soit remis à zéro.

La présente invention est bien entendu susceptible de diverses variantes à la portée de l'homme de l'art.

Notamment, bien que le compteur décrit dans ce qui précède ne comporte pas de moyens de verrouillage de sa sortie en raison de l'inhibition de son entrée de 35



comptage, relativement à la borne P1, par le circuit logique A2/I2, de tels moyens de verrouillage devront être prévus si le circuit logique A2/I2 est supprimé et l'entrée E1 directement connectée à la borne P1.

5 Egalement, l'entrée E2 du compteur peut être directement pilotée par le signal de contrôle CS sans interposition du circuit logique A1/I1.

Toutefois, le fait que les circuits logiques A2/I2 et A1/I1 isolent les entrées E1 et E2 du compteur 10 relativement aux bornes P1, P2 quand le signal RESET est à 1, permet d'utiliser les bornes P1, P2 pour recevoir d'autres signaux pendant les périodes de fonctionnement normales du microprocesseur, c'est-à-dire en dehors des périodes d'initialisation. Ainsi, dans un mode de 15 réalisation préféré de l'invention, les bornes P1 et P2 sont également utilisées en tant que ports d'entrée/sortie et sont à cet effet reliées à des tampons d'entrée/sortie du microprocesseur (non représentés). Ceci permet de réduire le nombre de bornes externes du 20 microprocesseur en évitant d'avoir à prévoir deux bornes dédiées pour la sélection du mode de fonctionnement.

D'autre part, il va de soi que les valeurs logiques des signaux décrits dans ce qui précède n'ont qu'une valeur relative. Ainsi, le circuit logique comprenant les 25 portes A1 et I1, qui est transparent vis-à-vis du signal de contrôle CS pendant la période d'initialisation PH1-PH2, pourrait être réalisé au moyen d'une porte OU en choisissant des conventions inverses quant à la valeur active des signaux.

30 Egalement, bien que l'on ait décrit dans ce qui précède un microprocesseur comprenant un mode de fonctionnement par défaut M0 (bit M0 à 1) et un mode de fonctionnement particulier M1 protégé contre les phénomènes parasites, il va de soi que la présente 35 invention est applicable à la sélection de plusieurs modes de fonctionnement particuliers M1, M2, M3,... chaque mode de fonctionnement étant identifié par un



nombre d'impulsions déterminé appliqué sur l'entrée E1 du compteur, ce nombre d'impulsions pouvant être fixe ou compris entre deux valeurs prédéterminées.

REVENDICATIONS

1. Microprocesseur comprenant des moyens de sélection d'un mode de fonctionnement (M1) du microprocesseur, les moyens de sélection comprenant :

- un compteur (CNTR) présentant une entrée de comptage (E1) et une entrée de remise à zéro (E2), et
- des moyens (A2, I2) pour relier l'entrée de comptage (E1) à une première borne (P1) du microprocesseur, caractérisé en ce que les moyens de sélection comprennent en outre :

10 - des moyens (A1, I1) pour relier l'entrée de remise à zéro (E2) du compteur à une deuxième borne (P2) du microprocesseur, et

15 - des moyens (R1) internes ou externes au microprocesseur, pour maintenir par défaut l'entrée de remise à zéro (E2) du compteur à une première valeur logique ("1") assurant le maintien à zéro du compteur en l'absence d'un signal de contrôle (CS) susceptible d'être appliqué sur la deuxième borne (P2) pour activer le compteur.

20

2. Microprocesseur selon la revendication 1, dans lequel les moyens pour relier l'entrée de remise à zéro (E2) du compteur à la deuxième borne (P2) du microprocesseur comprennent un circuit logique (AI, I1) comportant une sortie reliée à l'entrée de remise à zéro (E2), une première entrée reliée à la deuxième borne (P2) du microprocesseur, et une deuxième entrée recevant un signal (RESET) assurant l'inhibition de la sortie du circuit logique (AI, I1) relativement à sa première entrée en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.

3. Microprocesseur selon la revendication 2, dans lequel le signal d'inhibition du circuit logique (AI, I1)

est un signal de remise à zéro (RESET) du microprocesseur.

4. Microprocesseur selon la revendication 3, dans lequel le circuit logique comprend une porte ET (A1) ayant une première entrée connectée à la deuxième borne (P2) et une deuxième entrée connectée à la sortie d'une porte inverseuse (I1) recevant en entrée le signal de remise à zéro (RESET) du microprocesseur.

10

5. Microprocesseur selon l'une des revendications 1 à 4, dans lequel les moyens pour maintenir par défaut l'entrée de remise à zéro (E2) du compteur à une première valeur logique ("1") comprennent une résistance de polarisation (R1).

6. Microprocesseur selon l'une des revendications 1 à 5, dans lequel la sortie du compteur est appliquée à une unité centrale (CPU) du microprocesseur par l'intermédiaire d'un décodeur (DEC) délivrant à l'unité centrale des bits de mode (B0, B1) dont la valeur est fonction d'un résultat (N) de comptage délivré par le microprocesseur.

25

7. Microprocesseur selon l'une des revendications 1 à 6, dans lequel les moyens pour relier l'entrée de comptage (E1) du compteur à une première borne (P1) du microprocesseur comprennent un circuit logique (A2, I2) comportant une sortie reliée à l'entrée de comptage (E1), une première entrée reliée à la première borne (P1) du microprocesseur, et une deuxième entrée recevant un signal (RESET) assurant l'inhibition de la sortie du circuit logique (A2, I2) relativement à sa première entrée en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.

35

8. Microprocesseur, selon l'une des revendications 1 à 7, dans lequel le mode de fonctionnement (M1) est un mode de test ou de maintenance nécessitant l'application d'un nombre déterminé (N1-N2) d'impulsions électriques 5 sur l'entrée de comptage (E1) du compteur pendant une période de sélection du mode de fonctionnement du microprocesseur.

9. Microprocesseur selon l'une des revendications 10 1 à 8, dans lequel la première et la deuxième borne (P1, P2) sont des ports d'entrée/sortie du microprocesseur utilisables en tant que tels en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.

15 10. Procédé de sélection d'un mode de fonctionnement (M1) d'un microprocesseur, au moyen d'un compteur (CNTR) ayant une entrée de comptage (E1) et une entrée de remise à zéro (E2), comprenant une étape consistant à appliquer un nombre déterminé (N1-N2) 20 d'impulsions (MS) sur l'entrée de comptage (E1) par l'intermédiaire d'une première borne (P1) du microprocesseur, caractérisé en ce qu'il comprend les étapes consistant à :

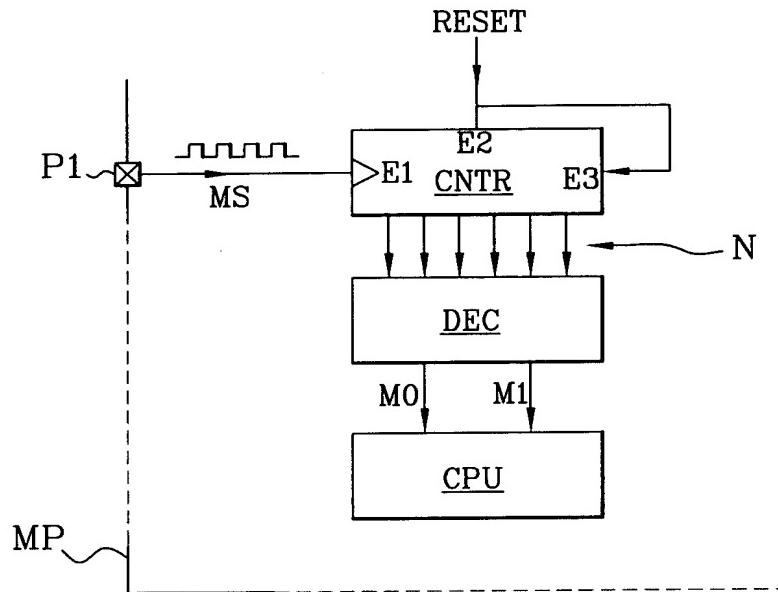
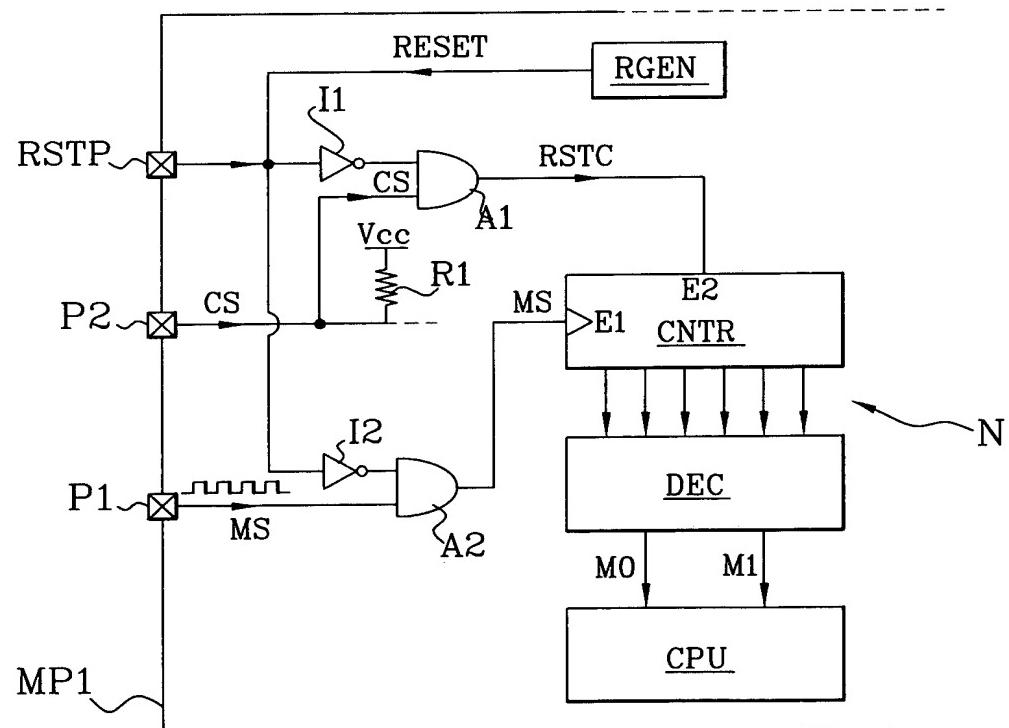
- prévoir des moyens (A1, I1) pour relier l'entrée de 25 remise à zéro (E2) du compteur à une deuxième borne (P2) du microprocesseur,
- piloter l'entrée de remise à zéro (E2) du compteur au moyen d'un signal de contrôle (CS) appliqué sur la deuxième borne (P2) du microprocesseur, de manière à 30 activer le compteur, et
- prévoir des moyens (R1) internes ou externes au microprocesseur, pour maintenir par défaut l'entrée de remise à zéro (E2) du compteur à une première valeur logique ("1") assurant le maintien à zéro du compteur en 35 l'absence du signal de contrôle (CS).

11. Procédé selon la revendication 10, comprenant une étape consistant à prévoir un premier circuit logique (A1, I1) comportant une sortie reliée à l'entrée de remise à zéro (E2) du compteur, une première entrée reliée à la deuxième borne (P2) du microprocesseur, et une deuxième entrée recevant un signal (RESET) assurant l'inhibition de la sortie du circuit logique (A1, I1) relativement à sa première entrée en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.

12. Procédé selon l'une des revendications 10 et 11, comprenant une étape consistant à prévoir un second circuit logique (A2, I2) comportant une sortie reliée à l'entrée de comptage (E1) du compteur, une première entrée reliée à la première borne (P1) du microprocesseur, et une deuxième entrée recevant un signal (RESET) assurant l'inhibition de la sortie du circuit logique (A2, I2) relativement à sa première entrée en dehors de périodes de sélection du mode de fonctionnement du microprocesseur.

13. Procédé selon l'une des revendications 11 et 12, dans lequel le signal d'inhibition est un signal de remise à zéro (RESET) du microprocesseur.

14. Procédé selon l'une des revendications 10 à 13, dans lequel le mode de fonctionnement (M1) est un mode de test ou de maintenance sélectionné en appliquant un nombre déterminé (N1-N2) d'impulsions électriques sur l'entrée de comptage (E1) du compteur pendant qu'un signal de remise à zéro (RESET) du microprocesseur présente une valeur active ("0").

Fig. 1Fig. 2

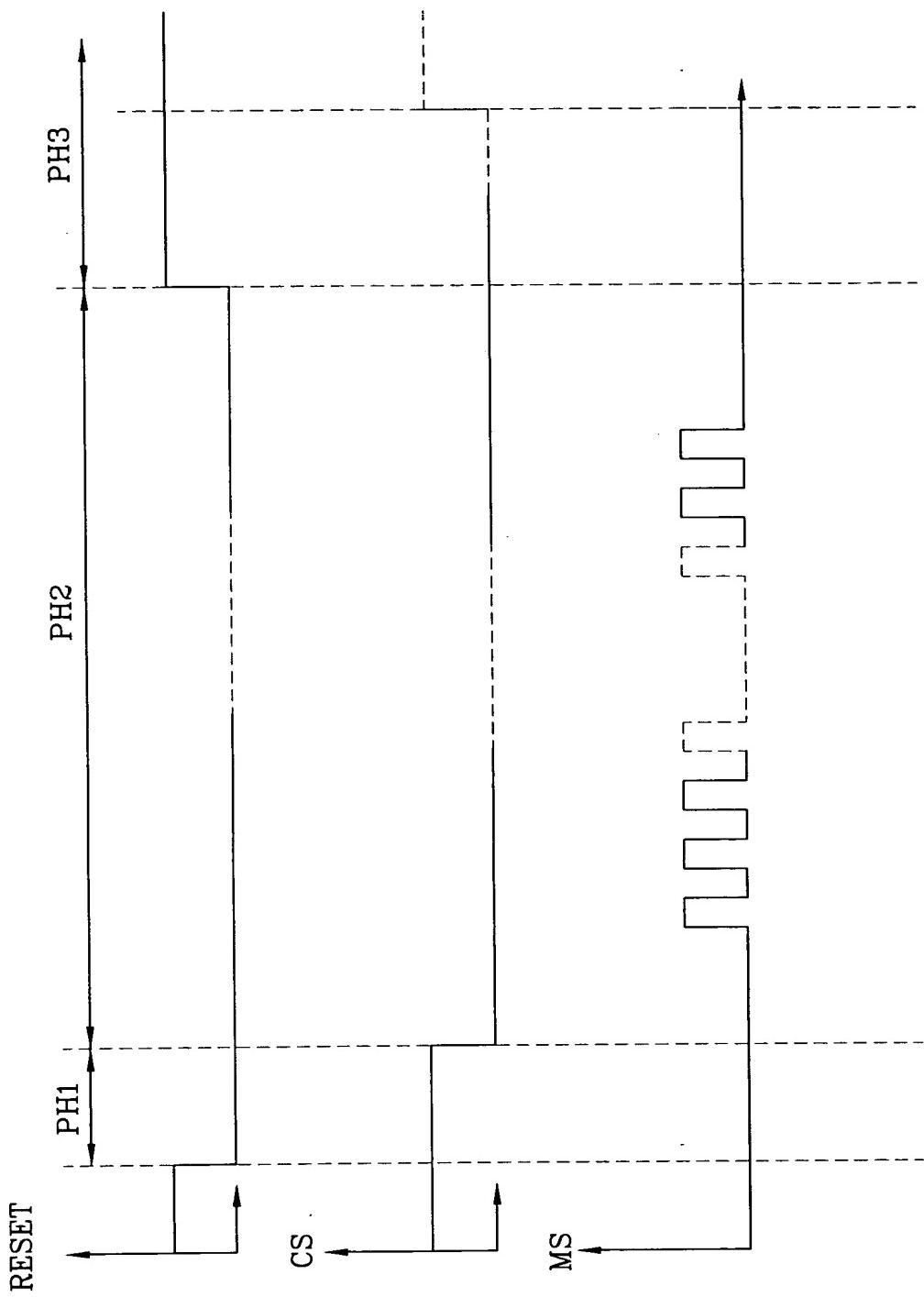


Fig. 3A

Fig. 3B

Fig. 3C